

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: T. KANEKO, et al
Serial No.:
Filed: February 6, 2004
For: DISPLAY DEVICE

CLAIM FOR FOREIGN PRIORITY

MS: PATENT APPLICATIONS

Commissioner for Patents
POB 1450
Alexandria, VA 22313-1450

February 6, 2004

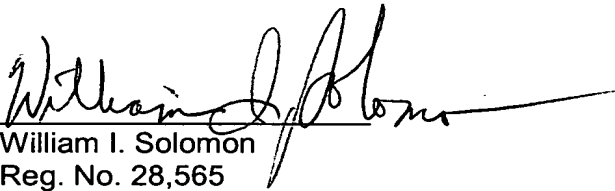
Sir:

Pursuant to 35 U.S.C. §119 and 37 CFR §1.55, applicants hereby claim
the right of priority based on the following foreign application filed in Japan:

Application No. 2003-040724, filed February 19, 2003.

A certified copy of this **Japanese** application is attached.

Respectfully submitted,
ANTONELLI, TERRY, STOUT & KRAUS, LLP


William I. Solomon
Reg. No. 28,565

WIS:dk
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 4 0 7 2 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 0 7 2 4]

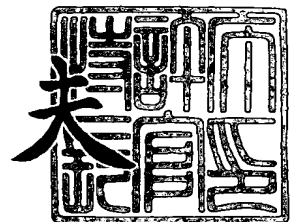
出 願 人 株 式 会 社 日 立 デ ィ ス プ レ イ ズ
Applicant(s):

特
許
庁
長
官
の
印
鑑

2 0 0 3 年 1 1 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 330200332

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

 【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

 【氏名】 金子 寿輝

【発明者】

 【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

 【氏名】 園田 大介

【発明者】

 【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

 【氏名】 落合 孝洋

【特許出願人】

 【識別番号】 502356528

 【氏名又は名称】 株式会社日立ディスプレイズ

【代理人】

 【識別番号】 100083552

 【弁理士】

 【氏名又は名称】 秋田 収喜

 【電話番号】 03-3893-6221

【手数料の表示】

 【予納台帳番号】 014579

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 基板上に薄膜トランジスタを有する表示装置であって、

ゲート配線と前記薄膜トランジスタのゲート電極とが一体となったゲートパターンを有し、

前記ゲートパターンは、少なくとも、前記薄膜トランジスタの部分あるいはドレイン配線と交差する部分の何れかにおいて、最下層と、少なくとも 1 層の中間層と、最上層との少なくとも 3 層の膜で構成され、

前記中間層の端部は前記最上層の端部および前記最下層の端部よりも後退していることを特徴とする表示装置。

【請求項 2】 前記中間層は純 Al、Al 合金、純 Ag、Ag 合金、純 Cu、Cu 合金の何れかで形成され、前記最上層及び前記最下層は前記中間層よりも高融点の金属で形成されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記最上層及び前記最下層は純 Mo 又は Mo 合金で形成されていることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 前記最上層及び前記最下層は Mo-W 合金で形成されていることを特徴とする請求項 2 に記載の表示装置。

【請求項 5】 前記最上層の端部は前記最下層の端部よりも後退していることを特徴とする請求項 1 から 4 の何れかに記載の表示装置。

【請求項 6】 前記薄膜トランジスタは半導体層を有し、前記ゲート電極は前記半導体層よりも上方に配置されていることを特徴とする請求項 1 から 5 の何れかに記載の表示装置。

【請求項 7】 前記薄膜トランジスタは多結晶の半導体層を有することを特徴とする請求項 1 から 6 の何れかに記載の表示装置。

【請求項 8】 基板上に薄膜トランジスタを有する表示装置であって、

ゲート配線と前記薄膜トランジスタのゲート電極とが一体になったゲートパターンと、

前記ゲートパターンを覆う絶縁膜とを有し、

前記ゲートパターンは、少なくとも、前記薄膜トランジスタの部分あるいはドレイン配線と交差する部分の何れかにおいて、最下層と、少なくとも 1 層の中間層と、最上層との少なくとも 3 層の膜で構成され、

前記ゲート電極の最上層の端部は前記最下層の端部よりも後退しており、かつ、前記ゲート電極の前記中間層の端部は前記最上層の端部及び前記最下層の端部よりも後退していることを特徴とする表示装置。

【請求項 9】 前記薄膜トランジスタは半導体層を有し、前記ゲート電極は前記半導体層よりも上方に配置されていることを特徴とする請求項 8 に記載の表示装置。

【請求項 10】 前記中間層は純 Al、Al 合金、純 Ag、Ag 合金、純 Cu、Cu 合金の何れかで形成され、前記最上層及び前記最下層は前記中間層よりも高融点の金属で形成されていることを特徴とする請求項 9 に記載の表示装置。

【請求項 11】 前記最上層及び前記最下層は純 Mo 又は Mo 合金で形成されていることを特徴とする請求項 10 に記載の表示装置。

【請求項 12】 前記最上層及び前記最下層は Mo-W 合金で形成されていることを特徴とする請求項 10 に記載の表示装置。

【請求項 13】 前記最上層及び前記最下層は Mo 合金で形成され、前記最上層の Mo 合金のエッチレートが前記最下層の Mo 合金のエッチレートより速いことを特徴とする請求項 10 に記載の表示装置。

【請求項 14】 前記最下層は Mo-Cr 合金で形成され、前記最上層は Mo-W 合金で形成されていることを特徴とする請求項 13 に記載の表示装置。

【請求項 15】 前記半導体層は LDD 領域を有し、前記ゲート電極の最下層は少なくとも一部が前記 LDD 領域と重畳していることを特徴とする請求項 8 から 14 の何れかに記載の表示装置。

【請求項 16】 前記薄膜トランジスタは多結晶の半導体層を有することを特徴とする請求項 8 から 15 の何れかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に係り、特に、ポリシリコンを半導体層とする薄膜トランジスタを備える表示装置に関する。

【0002】

【従来の技術】

たとえばアクティブ・マトリクス型の液晶表示装置は、液晶を介して対向配置される基板のうち一方の基板の液晶側の面に、その x 方向に延在し y 方向に並設されるゲート信号線と y 方向に延在し x 方向に並設されるドレイン信号線とを有し、これら各信号線に囲まれた領域を画素領域としている。

【0003】

そして、画素領域には、ゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極とを少なくとも有している。

【0004】

ここで、前記薄膜トランジスタとして、その半導体層を低温で形成し得るポリシリコンを用いるものが知られ、これにより高速のスイッチングが可能となっている。

【0005】

また、前記ゲート信号線に走査信号を供給するための周辺駆動回路あるいはドレイン信号線に映像信号を供給するための周辺駆動回路を前記一方の基板上に形成し、それらに組み込まれるトランジスタの半導体層としてポリシリコンを用い、前記トランジスタを画素領域内の薄膜トランジスタと並行して形成することにより、高機能化および低コスト化を可能ならしめている。

【0006】

一方、近年の液晶表示装置の大型化に伴い、ゲート信号線のさらなる低抵抗化が要望されているに至っている。

【0007】

この場合、ゲート信号線の方法をアルミニウムとすることが適当であるが、たとえばポリシリコン半導体層の活性化アニールの熱などに対して十分な耐熱性を有さないことが判明している。

【 0 0 0 8 】

それ故、ゲート信号線として、下層に高融点金属でバリア層を積層したもの（特許文献 1 参照）、アルミニウム配線の上層にキャップ層および側面にバリア層を設けたもの（特許文献 2 参照）、アルミニウム層からなるゲート信号線の上下層を高融点金属で覆ったもの（特許文献 3 参照）等が知られている。

【 0 0 0 9 】

さらに、ゲート信号線は薄膜トランジスタのゲート電極と一体に形成されるのが通常であり、該薄膜トランジスタは、液晶との直接の接触を回避しその特性の劣化を防止するため、たとえば保護膜と称される絶縁膜によって覆われることになり、その際の該絶縁膜のゲート信号線に対するカバレッジの良否も重要となる（特許文献 4 参照）。

【 0 0 1 0 】**【特許文献 1】**

特開平 1 0 - 2 4 7 7 3 3 号公報

【特許文献 2】

特開平 1 1 - 8 7 7 1 6 号公報

【特許文献 3】

特開平 6 - 1 4 8 6 8 3 号公報

【特許文献 4】

特開平 1 1 - 1 3 5 7 9 7 号公報

【 0 0 1 1 】**【発明が解決しようとする課題】**

しかしながら、上述した各文献に記載された液晶表示装置は、ゲート信号線の側面からアルミニウム層が露出されているため、そのアルミニウム層からいわゆるヒロックが成長するという不都合があるものであった（特許文献 4）。

【 0 0 1 2 】

また、このヒロックの発生を防止するために合金元素を添加しても、その電氣的抵抗を大幅に増加させてしまう不都合があるものであった（特許文献 1）。

【 0 0 1 3 】

さらに、ゲート信号線の側面を含む周囲においてヒロックの発生を防止する対策は、製造工数の増大をもたらす複雑な構成となってしまう不都合があるものであった（特許文献2）。

【0014】

本発明は、このような事情に基づいてなされたもので、その目的は、簡単な構造にも拘わらず、ヒロックの発生を防止するとともに低抵抗化を図ったゲート信号線および薄膜トランジスタのゲート電極を備える表示装置を提供するにある。

【0015】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0016】

手段1.

本発明による表示装置は、たとえば、基板上に薄膜トランジスタを有する表示装置であって、

ゲート配線と前記薄膜トランジスタのゲート電極とが一体となったゲートパターンを有し、

前記ゲートパターンは、少なくとも、前記薄膜トランジスタの部分あるいはドレイン配線と交差する部分の何れかにおいて、最下層と、少なくとも1層の中間層と、最上層との少なくとも3層の膜で構成され、

前記中間層の端部は前記最上層の端部および前記最下層の端部よりも後退していることを特徴とするものである。

【0017】

手段2.

本発明による表示装置は、たとえば、手段1の構成を前提とし、前記中間層は純Al、Al合金、純Ag、Ag合金、純Cu、Cu合金の何れかで形成され、前記最上層及び前記最下層は前記中間層よりも高融点の金属で形成されていることを特徴とするものである。

【0018】

手段 3.

本発明による表示装置は、たとえば、手段 2 の構成を前提とし、前記最上層及び前記最下層は純 Mo 又は Mo 合金で形成されていることを特徴とするものである。

【0019】

手段 4.

本発明による表示装置は、たとえば、手段 2 の構成を前提とし、前記最上層及び前記最下層は Mo-W 合金で形成されていることを特徴とするものである。

【0020】

手段 5.

本発明による表示装置は、たとえば、手段 1 から 4 の何れかの構成を前提とし、前記最上層の端部は前記最下層の端部よりも後退していることを特徴とするものである。

【0021】

手段 6.

本発明による表示装置は、たとえば、手段 1 から 5 の何れかの構成を前提とし、前記薄膜トランジスタは半導体層を有し、前記ゲート電極は前記半導体層よりも上方に配置されていることを特徴とするものである。

【0022】

手段 7.

本発明による表示装置は、たとえば、手段 1 から 6 の何れかの構成を前提とし、前記薄膜トランジスタは多結晶の半導体層を有することを特徴とするものである。

【0023】

手段 8.

本発明による表示装置は、たとえば、基板上に薄膜トランジスタを有する表示装置であって、

ゲート配線と前記薄膜トランジスタのゲート電極とが一体になったゲートパターンと、

前記ゲートパターンを覆う絶縁膜とを有し、

前記ゲートパターンは、少なくとも、前記薄膜トランジスタの部分あるいはドレイン配線と交差する部分の何れかにおいて、最下層と、少なくとも 1 層の中間層と、最上層との少なくとも 3 層の膜で構成され、

前記ゲート電極の最上層の端部は前記最下層の端部よりも後退しており、かつ、前記ゲート電極の前記中間層の端部は前記最上層の端部及び前記最下層の端部よりも後退していることを特徴とするものである。

【0024】

手段 9.

本発明による表示装置は、たとえば、手段 8 の構成を前提とし、前記薄膜トランジスタは半導体層を有し、前記ゲート電極は前記半導体層よりも上方に配置されていることを特徴とするものである。

【0025】

手段 10.

本発明による表示装置は、たとえば、手段 9 の構成を前提とし、前記中間層は純 A l、A l 合金、純 A g、A g 合金、純 C u、C u 合金の何れかで形成され、前記最上層及び前記最下層は前記中間層よりも高融点の金属で形成されていることを特徴とするものである。

【0026】

手段 11.

本発明による表示装置は、たとえば、手段 10 の構成を前提とし、前記最上層及び前記最下層は純 M o 又は M o 合金で形成されていることを特徴とするものである。

【0027】

手段 12.

本発明による表示装置は、たとえば、手段 10 の構成を前提とし、前記最上層及び前記最下層は M o - W 合金で形成されていることを特徴とするものである。

【0028】

手段 13.

本発明による表示装置は、たとえば、手段10の構成を前提とし、前記最上層及び前記最下層はMo合金で形成され、前記最上層のMo合金のエッチレートが前記最下層のMo合金のエッチレートより速いことを特徴とするものである。

【0029】

手段14.

本発明による表示装置は、たとえば、手段13の構成を前提とし、前記最下層はMo-Cr合金で形成され、前記最上層はMo-W合金で形成されていることを特徴とするものである。

【0030】

手段15.

本発明による表示装置は、たとえば、手段8から14の何れかの構成を前提とし、前記半導体層はLDD領域を有し、前記ゲート電極の最下層は少なくとも一部が前記LDD領域と重畳していることを特徴とするものである。

【0031】

手段16.

本発明による表示装置は、たとえば、手段8から15の何れかの構成を前提とし、前記薄膜トランジスタは多結晶の半導体層を有することを特徴とするものである。

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【0032】

【発明の実施の形態】

以下、本発明による表示装置の実施例を図面を用いて説明をする。

《画素の構成》

図1は、たとえば液晶表示装置の画素の構成を示す平面図であり、図2は図1のII-II線における断面図、図3はIII-III線における断面図を示している。

なお、液晶表示装置の液晶表示部は多数の画素がマトリクス状に配列されて構成されており、図1に示す画素はそのうちの1つであり、その上下、左右の周辺の画素は省略して示している。

【0033】

各図において、まず、透明絶縁性基板 1 の液晶側の面には窒化シリコン膜 2 および酸化シリコン膜 3 が順次形成されている。これら窒化シリコン膜 2 および酸化シリコン膜 3 は透明絶縁性基板 1 に含まれるイオン性不純物が後述の薄膜トランジスタ TFT に影響を及ぼすのを回避するために形成されている。

【0034】

そして、前記酸化シリコン膜 3 の表面には、たとえばポリシリコン層からなる半導体層 4 が形成されている。この半導体層 4 はたとえばプラズマ CVD 装置によって成膜したアモルファス Si 膜をエキシマレーザによって多結晶化したものである。

【0035】

この半導体層 4 は、後述するゲート配線層 18 に隣接しかつほぼ平行に形成される帯状の部分 4A とこの部分 4A と近接しかつ一体となって画素領域の一部を占めるほぼ矩形状の部分 4B とで形成されている。

【0036】

なお、前記窒化シリコン膜 2、酸化シリコン膜 3 および多結晶化する前の前記アモルファス Si 膜はたとえばプラズマ CVD 法によってそれぞれ連続成膜し、その後アモルファス Si 膜のみをフォトリソグラフィ技術による選択エッチング（たとえばドライエッチング）し上述したような各部分 4A および 4B からなるパターンに形成する。

【0037】

帯状の部分 4A の半導体層は後述する薄膜トランジスタ TFT の半導体層として形成され、ほぼ矩形状の部分 4B の半導体層は後述する容量素子 Cstg1 の各電極のうちの一の電極として形成されるようになっている。

【0038】

そして、このように半導体層 4 が形成された透明絶縁性基板 1 の表面には、該半導体層 4 をも覆ってたとえば SiO₂ からなる第 1 絶縁膜 5 がたとえば CVD 法によって形成されている。

【0039】

この第1絶縁膜5は前記薄膜トランジスタTF Tの形成領域においてはゲート絶縁膜として機能するとともに、後述する容量素子C s t g lの形成領域においては誘電体膜の一つとして機能するようになっている。

【0040】

そして、第1絶縁膜5の上面には、図中x方向に延在しy方向に並設されるゲート配線層18が形成され、このゲート配線層18は後述するドレイン配線層14とともに矩形状の画素領域を画するようになっている。

【0041】

また、このゲート配線層18はその一部が画素領域内に延在され、前記帯状の半導体層4Aに交差するようにして重畳されている。このゲート配線層18の前記延在部は薄膜トランジスタTF Tのゲート電極GTとして形成されている。

【0042】

このことから、ゲート配線層18とゲート電極GTはそれぞれゲートパターンとして一体に形成され、その材料等は同一の構成となっている。以下、この明細書において、ゲートパターンとは一体として形成されたゲート配線層18とゲート電極GTとをいい、必要に応じてゲート配線層18あるいはゲート電極GTを区別して用いる。

【0043】

ここで、このゲートパターンは、たとえば3層構造からなり、その最下層6はMo-W合金膜、中間層7はAl-Si合金膜、最上層8はMo-W合金膜によって形成されている。

【0044】

ゲートパターンはその低抵抗化が要望されており、それ自体の材料としてAl-Si合金膜を用いることが望まれるが、後述の第2絶縁膜12の形成後の工程において行なう前記半導体層4の活性化の際の高温アニールによって、耐熱性に不都合があることから、高融点金属であるMo-W合金膜を用いて上述したような3層構造としたものである。

【0045】

さらに、このゲートパターンの中間層7は最下層6および最上層8に対しその

側面（端部）がえぐられたように前記最下層 6 の端部および最上層 8 の端部よりも後退して形成されている。これによる効果は後に詳述する。

そして、この実施例の場合、ゲートパターンの最上層 8 は、その端部が最下層 6 のそれよりは後退して形成されている。これによる効果も後に詳述する。

【0046】

換言すれば、ゲートパターンの各層はそれぞれがその延在方向の中心軸がほぼ一致しており、それらの幅（延在方向に交差する方向の幅）は、中間層 7、最上層 8、最下層 6 の順に大きくなるように形成されている。

【0047】

なお、このゲート配線層 18 の形成後は、第 1 絶縁膜 5 を介して不純物のイオン打ち込みをし、前記半導体層 4 において前記ゲート電極 GT の直下を除く領域を導電化させることによって、薄膜トランジスタ TFT のソース領域 10 S およびドレイン領域 10 D が形成されるとともに、容量素子 Cstg1 の各電極のうち一の電極が形成されるようになっている。

【0048】

一方、半導体層 4 B を導体化するため、あらかじめ半導体層 4 B の領域のみに高濃度の不純物をドーピングした上で容量信号線 19 を形成するようにしてもよい。

【0049】

また、前記半導体層 4 にはゲート電極 GT の直下の領域（チャネル領域）とドレイン領域 10 D およびソース領域 10 S のそれぞれの間には低濃度の不純物がドーピングされた LDD 層 11 が形成されている。ドレイン領域 10 D あるいはソース領域 10 S とゲート電極 GT との間に生じる電界集中を緩和させるためである。

【0050】

また、画素領域内であって前記半導体層 4 A と近接する領域であって、第 1 絶縁膜 5 の上面には図中 x 方向に延在する容量信号線 19 が形成され、この容量信号線 19 はその線幅が太くなって形成される容量電極 20 と一体に形成されるようになっている。この容量信号線 19 および容量電極 20 はたとえば前記ゲート配線層 18 と同時に形成されるようになっている。このため、容量信号線 19 お

よび容量電極 20 はゲート配線層 18 と同層でかつ同一の材料で形成されているとともに、断面構造も同様となっている。

【0051】

この場合、該容量電極 20 は前記半導体層 4B に重畳するようにして形成され、該半導体層 4B を他方の電極（薄膜トランジスタ TFT のソース領域 10S に接続されている）、第 1 絶縁膜 5 を誘電体膜とする一つの容量素子 Cstg1 が形成されることになる。ここで、一つの容量素子 Cstg1 としたのは、後述するように、これに重畳されて形成される他の容量素子 Cstg2 を有し、これら各容量素子を並列接続させてその容量値の増大を図っているためである。

【0052】

そして、前記ゲート配線層 18 および容量信号線 19（容量電極 20）をも被って前記第 1 絶縁膜 5 の上面には第 2 絶縁膜 12 がたとえば SiO₂ によって形成されている。この第 2 絶縁膜 12 はたとえば CVD 法によって成膜されるようになっている。

【0053】

この場合、前記ゲート配線層 18、ゲート電極 GT および容量信号層 19 は、いずれも 3 層構造となっており、それらの各層はその幅が中間層 7、最上層 8、最下層 6 の順に大きくなるようにほぼ台形状となっていることから、前記第 2 絶縁膜 12 によるいわゆるカバレッジが良好になるという効果を奏する。さらに、ゲート配線層 18、ゲート電極 GT および容量信号層 19 の中間層 7 は最上層 8 および最下層 6 に対して後退して形成され、この後退された部分に第 2 絶縁膜 12 が入り込むことから、そのカバレッジも確実なものとなる。

【0054】

そして、この第 2 絶縁膜 12 の形成の後、通常約 400℃ でいわゆるアニールを行い、前記半導体層 4 においてインプラされたドーパントを活性化させる工程がなされる。この場合、前記ゲート配線層 18、ゲート電極 GT および容量信号層 19 の中間層 7 として Al-Si 合金膜を用いており、その表裏面は Mo-W 合金膜からなる最上層 8、最下層 6 に当接されている部分においては憂いはないが、側壁面においていわゆるヒロックの発生は免れない。このヒロックは Al

材から成長する多数の針状の導電材であって、アニールの温度が高い程その成長は大きく、これにより近接する他の導電層（たとえばドレイン配線層 14 あるいは後述のソース電極）に電氣的に接続される憂いを有するものとなっている。

【0055】

しかし、本実施例の場合、上述したように、該中間層 7 は、その側壁面において、最上層 8、最下層 6 のそれよりも適当に後退した構成としていることから、該側壁面からヒロックが成長したとしても、該後退した分だけヒロックの成長を抑制させることができる。換言すれば該ヒロックによる不都合を十分に低減させることができる効果を有するようになる。

【0056】

そして、第 2 絶縁層 12 の上面には、図中 y 方向に延在し x 方向に並設されるドレイン配線層 14 が形成されている。このドレイン配線層 14 は前述したゲート配線層 18 とで画素領域を画するようになっている。

【0057】

該ドレイン配線層 14 はその一部が第 2 絶縁膜 12 および第 1 絶縁膜 5 に形成されたコンタクトホール CH2 を通して前記薄膜トランジスタ TFT のドレイン領域 10D（ドレイン信号線 DL と接続される側をドレイン領域とこの明細書ではいう）に接続されている。

【0058】

さらに、このドレイン配線層 14 の形成の際に同時に形成され、前記薄膜トランジスタ TFT のソース領域 10S の上面そしてこれから画素領域側へ若干延在して形成されるソース電極 22 が形成され、このソース電極 22 も前記第 2 絶縁膜 12 および第 1 絶縁膜 5 に形成されたコンタクトホール CH3 を通して前記薄膜トランジスタ TFT のソース領域 10S に接続されている。

【0059】

そして、このドレイン配線層 14 およびソース電極 22 をも覆って第 2 絶縁膜 12 の上面には第 3 絶縁膜 15A および第 4 絶縁膜 15B が順次形成されている。第 3 絶縁膜 15A はたとえば SiO₂ あるいは SiN により形成され、また第 4 絶縁膜 15B はたとえば樹脂等の有機材料膜で形成されている。

【0060】

これら第3絶縁膜15Aおよび第4絶縁膜15Bは、薄膜トランジスタTF Tを液晶との直接の接触を回避するための保護膜として機能するものであり、該第4の絶縁膜15Bを有機材料膜としその膜厚を比較的厚くすることで、その表面を平坦化でき、液晶の配向を良好な状態とすることができ、また、保護膜全体としての誘電率を小さくする効果を奏する。

【0061】

この第4絶縁膜15Bの上面にはたとえばITO (Indium-Tin-Oxide) 膜からなる透光性の材料の画素電極17が形成され、この画素電極17は画素領域の全域にわたって形成されている。上述したように保護膜はその誘電率が小さく構成されていることから、その周辺において、ドレイン配線層14およびゲート配線層18と重畳させるようにして形成され、これにより画素のいわゆる開口率を向上させるようにしている。

【0062】

なお、画素電極17の材料として上述のITO膜に限定されることはなく、たとえば、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の材料であってもよいことはもちろんである。

【0063】

この画素電極17は薄膜トランジスタTF Tに隣接する部分において前記第4絶縁膜15Bおよび第3絶縁膜15Aに形成されたコンタクトホールCH4を通して前記ソース電極と接続されている。

【0064】

なお、この画素電極17は前記容量電極20との間に第4絶縁膜15Bおよび第3絶縁膜15Aを誘電体膜とする容量素子Cs t g2を形成するようになっており、前述した容量素子Cs t g1と並列されて構成されている。

【0065】

このようにして構成される画素は、ゲート配線層18に走査信号が供給されることにより、薄膜トランジスタTF Tがオンになり、前記走査信号の供給のタイ

ミングに合わせて供給されるドレイン配線層 14 からの映像信号が前記薄膜トランジスタ TFT を介して画素電極 17 に供給されるようになっている。

【0066】

そして、この画素電極 17 に供給される映像信号は容量素子 Cstg (Cstg1、Cstg2) によって比較的長く画素電極 17 に蓄積されるようになる。

【0067】

なお、この実施例においては、中間層 7 として Al-Si を用いたものであるが、他の材料として純 Al、Al-Cu、Al-Cu-Si 等のような材料であっても、同様の不都合が生じることから、これらの材料であってもよいことはいうまでもない。

【0068】

また、この実施例においては、ゲート電極の中間層 7 としてイオン性の物質がたとえば絶縁膜 12 の成膜時に流出する場合があります、それが絶縁膜 5 の表面にまで至り該絶縁膜を汚染させて薄膜トランジスタ TFT の特性を劣化させてしまう場合がある。

【0069】

さらに、やはり絶縁膜 12 の成膜の過程において前記イオン性の物質が該絶縁膜 12 の表面に流出し、それが該絶縁膜 12 の完成時にまで続き、その後形成するドレイン電極あるいはソース電極とゲート電極との間に前記イオン性の物質を介してリーク電流を発生させる場合が生じる。

【0070】

このため、ゲート電極の中間層 7 を他の最下層 6 あるいは最上層 8 よりも後退させる構成とすることにより、結果的に前記汚染の経路を長くでき、上述した不都合の発生を抑制することができるようになる。

【0071】

このことから、ゲート絶縁膜の中間層 7 としてはヒロックが生じやすい材料に限らず、上述したようにリーク電流を生じさせる汚染を生じさせやすい材料であってもよいことはいうまでもない。すなわち、中間層 7 として Al-Nd、Al-Y、Al-Hf-Y のような材料であってもよい。そして、このことは以下に

説明する実施例においても適用されることはもちろんである。

【0072】

《製造方法》

図4は図1ないし図3に示した画素の製造方法の一実施例を示す要部工程図である。なお、下地膜（窒化シリコン膜2および酸化シリコン膜3）は図示を省略してある。

【0073】

まず、図4（a）は、ゲートパターンの形成領域にフォトレジスト膜9を残存させ、このフォトレジスト膜9をマスクとして、それから露出された最上層8のMo-W合金膜、その下の中間層7のAl-Si合金膜、その下の最下層6のMo-W合金膜を順次エッチングした図である。

【0074】

この場合のエッチング液として、たとえばリン酸系エッチング液を用い、最上層8、中間層7、および最下層6のそれぞれを一括してエッチングする。そして、いわゆる等方的にエッチングすることによりフォトレジスト膜9に対して約0.3 μ m～1.0 μ m程度にサイドエッチングする。

【0075】

この際、最下層6、最上層8に対し、中間層7が若干速くサイドエッチが進むような膜組成、あるいはエッチング液を用いる。あるいは、一括エッチングの後、中間層7を最下層6、最上層8に対し選択的にサイドエッチングしてもよい。

【0076】

このようにすることにより、ゲートパターンの各層はそれぞれがその延在方向の中心軸がほぼ一致し、それらの幅（延在方向に交差する方向の幅）は、中間層7、最上層8、最下層6の順に大きくなるように形成される。

【0077】

また、ゲートパターンの断面構造を同様とするため、最上層8および最下層6としてTiまたはTiNの材料を用い、ドライエッチングにて3層を一括してエッチングしてもよい。ドライエッチングの際に塩素系ガスを用いた場合、TiよりもAlのドライエッチレートが速くなるからである。

【0078】

そして、このようにゲートパターンを形成した後に、前記フォトリソ膜 9 をマスクとして、リン (P) をインプラし、半導体層 4 A に n^+ 不純物領域を形成することによりドレイン領域 10 D、ソース領域 10 S を形成する。

【0079】

そして、図 4 (b) は、前記フォトリソ膜 9 を除去し、ゲートパターンをマスクとして n^- 不純物をドーピングし、半導体層 4 A の前記ドレイン領域 10 D あるいはソース領域 10 S とゲートパターンの間に LDD (Lightly Doped Drain) 構造を自己整合的に形成した図である。

【0080】

さらに、図 4 (c) は、前記ゲートパターンをも覆って第 1 絶縁膜 5 の上面に第 2 絶縁膜 12 を形成し、これにコンタクトホール CH2、CH3 を形成し、ドレイン配線層 14 (ドレイン電極) およびソース電極 22 を形成した図である。

【0081】

第 2 絶縁膜 12 はたとえば SiO_2 膜をたとえば CVD 法を用いて成膜する。この第 2 絶縁膜 12 の形成の後には、半導体層 4 A 中にインプラされたドーパントを活性化させるため、約 400℃ の温度でアニールを行なう。

【0082】

この際、第 2 絶縁膜 12 の形成の際とアニールの際の熱によって、ゲートパターンの中間層 7 からヒロックの成長がなされる。この場合、中間層 7 は最下層 6 と最上層 8 とでサンドイッチされた構造となっていることから、最下層 6 と最上層 8 との当接面においてはこれら最下層 6 と最上層 8 によってその成長が抑止されることになる。しかし、加熱時の中間層 7 と最下層 6 あるいは最上層 8 との相互拡散があり、この拡散により最下層 6 あるいは最上層 8 を越えてヒロックや Al の染み出しが発生してしまう場合があることから、最下層 6 および最上層 8 の膜厚を約 20 nm 程度 (アニールが約 400℃ の場合) 以上に設定するのが適当である。

【0083】

また、中間層 7 の側壁面は、他の金属層に覆われていないが最下層 6 および最

上層 8 の側壁面に対して後退して形成されているため、横方向に若干のヒロックが発生しても最下層 6 および最上層 8 を越えて上下に発生することを回避することができるようになる。

【0084】

第 2 絶縁膜 12 および第 1 絶縁膜 5 に形成するコンタクトホール CH2、CH3 は、たとえばバッファドフッ酸を用いて連続エッチングにより形成する。

【0085】

ドレイン配線層 14 (ドレイン電極) およびソース電極 22 は、たとえば Ti / Al - Si / Ti からなる 3 層構造とし、レジストパターンを形成後、塩素ガスを用いたドライエッチで一括エッチングする。この場合、ドレイン配線層 14 (ドレイン電極) およびソース電極 22 の材料として、ゲート配線層 18 と同様に MoW / Al - Si / MoW からなる 3 層構造とし、ウェットエッチングにより加工するようにしてもよいことはいうまでもない。

【0086】

なお、図 4 には図示されていないが、図 4 (c) に示す工程以降において、第 3 絶縁膜 15A を、たとえば SiN を CVD 法により成膜する。その後、水素雰囲気にて約 400℃ で水素アニールを行なう。この場合のアニールにおいても本発明の構成によりゲートパターンにおける中間層 7 のヒロックによる不都合は生じない。

【0087】

そして、第 4 絶縁膜 15B を、たとえば感光性アクリル樹脂を塗布し、露光現像することによりコンタクトホール CH4 を形成する。そして、酸素アッシングをすることにより前記感光性アクリル樹脂のスカムを除去する。

【0088】

その後、ITO 膜を形成し、フォトリソグラフィ技術による選択エッチングをすることにより、画素電極 17 を形成する。この場合のエッチングとしては、たとえば蔭酸、王水、臭化水素酸を用いてウェットエッチングを用いる。

【0089】

実施例 2.

図5は、本発明による表示装置の他の実施例を示す断面図で、前記図2に対応した図となっている。

図2の場合と比較して異なる構成は、図2に示す薄膜トランジスタTFETはnチャネル型のMISトランジスタ（Metal Insulator Semiconductor）であるのに対し、図5はpチャネル型のMISトランジスタを示している。

【0090】

pチャネル型のMISトランジスタは、ゲート配線層18に走査信号を供給するための走査信号駆動回路、あるいはドレイン配線層14に映像信号を供給するための映像信号駆動回路において、nチャネル型のMISトランジスタとともに、相補型トランジスタを構成することでCMOS（またはCMIS）型トランジスタを構成する。

【0091】

pチャネル型のMISトランジスタは、nチャネル型のMISトランジスタと異なり、ドレイン端部における電界による特性劣化が比較的問題とならないため、図2に示したようなLDD構造を採用する必要性が乏しく、図5に示すように、ゲート電極GTの直下のチャネル層の両端にソース領域10Sあるいはドレイン領域10Dとなるp⁺領域を形成するだけで充分となる。

【0092】

なお、この場合もゲート電極GTおよびゲート配線層18はたとえば3層構造となっており、それら各層はその延在方向の中心軸がほぼ一致しており、それらの幅（延在方向に交差する方向の幅）は、中間層7、最上層8、最下層6の順に大きくなるように形成されている。

【0093】

図6は、上述した表示装置の製造方法の一実施例を示す工程図で、前記図4に対応した図となっている。

図4の場合と比較して異なる部分は、ゲートパターンの形成のためのフォトリソリスト膜9を該ゲートパターンの形成後に除去し、該ゲートパターンをマスクとしてたとえばボロン（B）からなるp⁺型不純物をインプラしていることにある。

【0094】

なお、この p チャンネル型の M I S トランジスタを n チャンネル型の M I S トランジスタと並行して形成し、C M O S 構成とする場合、該 n チャンネル型の M I S トランジスタのソース領域 10 S と、ドレイン領域 10 D および L D D 構造を形成した後に、少なくともこの n チャンネル型の M I S トランジスタを被い、p チャンネル型の M I S トランジスタを形成する部分に孔開けしたフォトリソ膜を形成し、p⁺型不純物をカウンタードープすればよい。

また、第2絶縁膜 12 の形成後には、p チャンネル型の M I S トランジスタおよび n チャンネル型の M I S トランジスタの活性化のためのアニールを一括して行なう。

【0095】

実施例 3.

図 7 は、本発明による表示装置の他の実施例を説明する図で、図 2 に対応した図となっている。

図 2 の場合と比較して異なる部分は、薄膜トランジスタ T F T のゲート電極 G T の構造にある。

【0096】

ゲート電極 G T は、その最下層 6 から最上層 8 にかけて、たとえば、T i、A l-S i、T i の各層からなる 3 層構造となっている。この場合の最下層 6 および最上層 8 の T i は図 2 に示した M o-W と同様の高融点金属であり、中間層 7 である A l-S i の該 T i との当接面において成長するヒロックを該 T i によって回避させることができる。

【0097】

そして、中間層 7 の A l-S i の側壁面は最上層 8 および最下層 6 のそれよりも後退させて形成されているが、最上層 8 および最下層 6 はほぼ同じ幅（延在方向に対して直交する方向の幅）を有して形成されている。

【0098】

ゲート電極 G T の最下層 6 および最上層 8 に T i を用いることにより、たとえば異方性エッチングが可能なリアクティブイオンエッチング（R I E）をするこ

とにより図示した断面形状となる。TiよりもAlのドライエッチレートの方が速いためである。

【0099】

実施例4.

図8は、本発明による表示装置の他の実施例を説明する図で、図2に対応した図となっている。

図2の場合と比較して異なるのは、いわゆるGOLD (Gate Overlapped LDD) 構造を採用していることにある。

【0100】

すなわち、構造的には、半導体層4Aはその中央の領域がチャンネル層として、このチャンネル層の外側にLDD層11、このLDD層11の外側にソース領域10Sあるいはドレイン領域10Dが形成されているが、前記LDD層11はゲート電極GTに重畳されて形成されていることにある。

【0101】

そして、本実施例の場合、前記チャンネル層はゲート電極GTの最上層8の材料層に重畳して形成され、LDD層11はゲート電極GTの最上層8の材料層からはみ出して形成される最下層6の材料層に重畳して形成されている。このため、ソース領域10Sおよびドレイン領域10Dはそのいずれもゲート電極GTの最下層6の材料層の端部から外方に延在する方向に形成されている。

【0102】

このように構成される薄膜トランジスタTFETは、そのゲート電極GTを半導体層4AのLDD層11の上方に延在させることにより、LDD領域のシリーズ抵抗分を低減でき、オン電流を増加させることができるようになる。

【0103】

図9は上述した表示装置の製造方法の一実施例を示す図で、図4と対応した図となっている。

図4の場合と比較して異なる構成は、まず、Mo-W、Al-Si、Mo-Wの順次積層体からなるゲートパターンの最下層6の膜厚を比較的薄く、たとえば20nm程度に設定されている。

【0104】

そして、ゲートパターンを形成する際のフォトリジスト膜9をマスクとして、 n^+ 不純物をインプラし、該フォトリジスト膜9を除去する。その後、該ゲートパターンをマスクとして n^- 不純物をインプラする。

【0105】

この場合、 n^- 不純物はゲートパターンの最下層6を通過して半導体層4A内にドーピングされ、LDD層11が形成されるようになる。

【0106】

実施例5.

図10(a)、(b)は、本発明による表示装置の製造方法の他の実施例を説明する図で、それぞれ図9(a)、(b)に対応した図となっている。

図9(a)、(b)の場合と比較して異なる部分は、3層構造からなるゲート電極GTは、たとえばその最下層6の材料としてMo-Crを、中間層7の材料としてAl-Siを、最上層8の材料としてMo-Wを用いていることにある。

【0107】

そして、最下層6のMo-Crは最上層8のMo-Wと比較してそのエッチレートが約10倍程度遅くなるようにその合金比率が設定されている。たとえば最下層6はMo-2.5wt%Crとしその膜厚をその被膜時にたとえば20nmにし、最上層8はMo-20wt%としその膜厚をたとえば50nmに設定している。

【0108】

フォトリジスト膜9を用いてたとえばウェットエッチングする際には、ゲートパターンの最下層6のエッチングの最中に、中間層7、最上層8のサイドエッチ幅が約1 μ mとなるようにする。

これら中間層7および最上層8のサイドエッチ量がそのままLDD層の幅に対応することになる。

【0109】

このことは、ゲートパターンの形成の際のエッチレート比を10倍からその前後に変化させることによって、LDD層の幅はもちろんのこと該LDD層のゲ-

ト電極GTとのオーバーラップ幅をも制御できることを意味する。このため、当該薄膜トランジスタTFETのオン電流とオフ電流の双方をこの制御で変更させることができる効果を奏する。

【0110】

なお、上述したように、ゲートパターンの形成の際にウェットエッチングを用いることにより、ダメージを無くすことができ、良好なトランジスタ特性を得ることができる。

【0111】

実施例6.

図11は、本発明による表示装置の他の実施例を説明する図で、図4(a)、(b)に対応した図となっている。

図4(a)、(b)の場合と比較して異なる部分は、3層構造からなるゲートパターンは、たとえばその最下層6の材料としてMo-Wを、中間層7の材料としてAl-Siを、最上層8の材料としてMo-Wを用いているとともに、たとえばこれら各層をたとえばリン酸系エッチング液を用いて一括ウェットエッチングした後、希フッ酸を用いてライトエッチすることにある。

【0112】

このようにして形成されたゲートパターンは、最上層8の幅が最下層6の幅よりも小さく形成され、中間層7の幅は該最上層8から最下層6の方向に該最上層8の幅よりも小さな幅から最下層6の幅よりも小さい幅となるようにほぼ直線的に変化するように形成される。換言すれば、中間層7は、その側壁面がいわゆる順テーパ状に加工され、最上層8に当接する面は該最上層8より後退し、また最下層6に当接する面は該最下層6より後退して形成されている。

【0113】

すなわち、図11(a)に示すように、ゲートパターンをフォトリジスト膜9を用いてたとえばリン酸系エッチング液で一括にウェットエッチングした場合、最下層6と最上層8に同じエッチングレートをもつ同一材料を採用することによって、最上層8の方が先にエッチングが進行し、前記最上層8、中間層7、および最下層6からなる前記ゲートパターンの断面は順テーパ状に加工される。

【0114】

そして、前記フォトリジスト膜9をそのまま利用して、ドレイン領域10D、ソース領域10Sを n^+ 不純物のインプラで形成する。

そして、図11(b)に示すように、前記フォトリジスト膜9を除去した後に、 n -不純物をインプラすることによりLDD層11を形成する。

【0115】

その後、図11(c)に示すように、前記ゲートパターンをたとえば1:99の希フッ酸で洗浄していわゆるライトエッチを行なう。これにより、中間層7を最上層8および最下層6に対して選択的にエッチングし、該中間層7の側壁面を後退させる。

【0116】

この場合、前記洗浄に要する時間によって、中間層7の側壁面の後退量を制御することができ、たとえば、0.5%弗化水素水溶液を用いた場合、該後退量を約0.2 μ mとすることができる。

【0117】

また、この洗浄作業によって、その前の工程であるインプラによって基板表面に付着した不純物をも合わせて除去できるという効果を有する。そして、その後に各種絶縁膜の形成後における洗浄作業を省略することができる効果も奏する。

【0118】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【0119】

また、上述した各実施例ではゲートパターンの中間層7として純AlまたはAl合金を用いた例を示したが、これに代えて、純Ag、Ag合金、純Cu、Cu合金としてもよい。最上層8、最下層6には中間層7よりも高融点の金属を用いる。中間層7は2層以上としてもよい。

【0120】

また、上述した各実施例では、ゲートパターンの全ての側面において中間層7

が最下層 6 および最上層 8 よりも後退させた構造としたものである。しかし、このような構造は、ゲートパターンのうち、少なくとも、前記薄膜トランジスタの部分（ゲート電極 G T）あるいはドレイン配線と交差する部分（ゲートパターンのうちのゲート配線層 1 8 がドレイン配線層 1 4 と交差する部分）の何れかにおいて適用されていればよいものである。これらの部分において中間層 7 からのヒロックあるいは汚染による不都合が顕著になるからである。

【0121】

また、上述した実施例は液晶表示装置について説明したものである。しかし、薄膜トランジスタを供える表示装置、たとえば有機 E L（Electro Luminescence）表示装置等にも適用できることはいうまでもない。有機 E L 表示装置にあっても、基板の表面の各画素に、有機発光層を介在させた画素電極と対向電極とを有し、ゲート配線層からの走査信号によって駆動され、かつドレイン信号線からの映像信号を前記画素電極に供給する薄膜トランジスタを備えるからである。

【0122】

【発明の効果】

以上説明したことから明らかなように、本発明による表示装置によれば、簡単な構造にも拘わらず、ヒロックの発生を防止するとともに低抵抗化を図ったゲート信号線および薄膜トランジスタのゲート電極を備える表示装置を得ることができる。

【図面の簡単な説明】

【図 1】

本発明による表示装置の画素の一実施例を示す平面図である。

【図 2】

図 1 の II-II 線における断面図である。

【図 3】

図 1 の III-III 線における断面図である。

【図 4】

本発明による表示装置の製造方法の一実施例を示す要部工程図である。

【図 5】

本発明による表示装置の画素の他の実施例を示す平面図である。

【図 6】

図 5 に示す表示装置の製造方法の一実施例を示す要部工程図である。

【図 7】

本発明による表示装置の画素の他の実施例を示す平面図である。

【図 8】

本発明による表示装置の画素の他の実施例を示す平面図である。

【図 9】

図 8 に示す表示装置の製造方法の一実施例を示す要部工程図である。

【図 1 0】

本発明による表示装置の製造方法の他の実施例を示す要部工程図である。

【図 1 1】

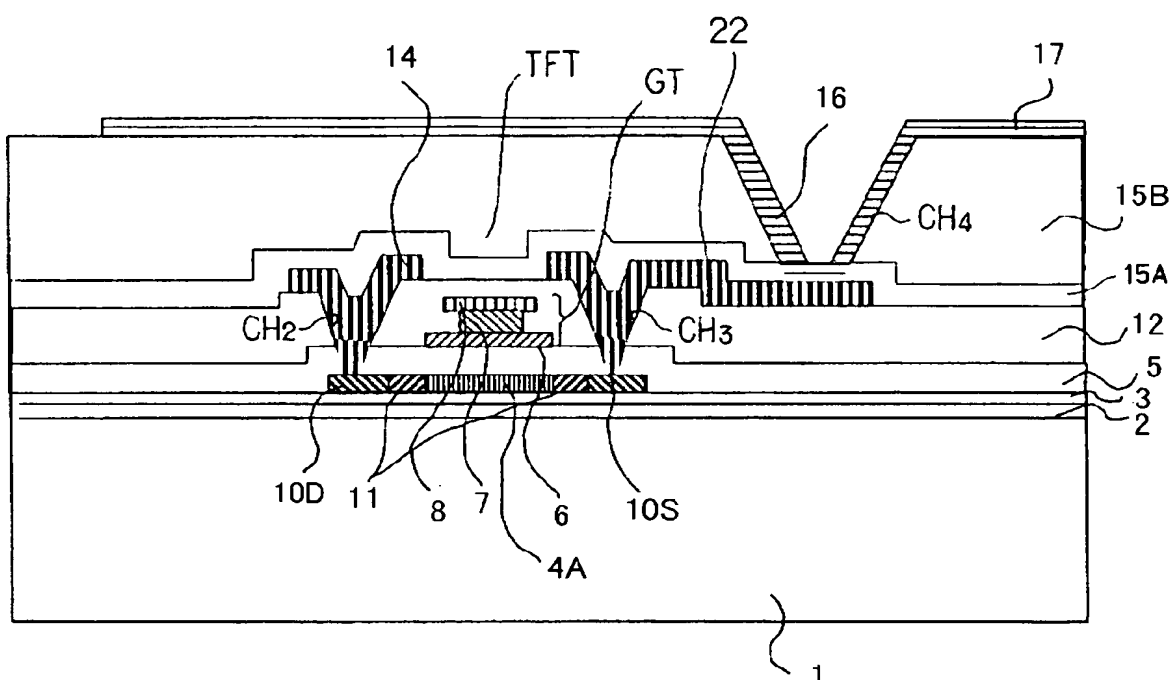
本発明による表示装置の製造方法の他の実施例を示す要部工程図である。

【符号の説明】

1 ……透明絶縁性基板、 4 ……半導体層、 5 ……第 1 絶縁膜、 6 ……最下層、
7 ……中間層、 8 ……最上層、 1 0 D ……ドレイン領域、 1 0 S ……ソース領域
、 1 1 ……L D D 層、 1 2 ……第 2 絶縁膜、 1 4 ……ドレイン配線層、 1 5 A ……
第 3 絶縁膜、 1 5 B ……第 4 絶縁膜、 1 7 ……画素電極、 1 8 ……ゲート配線
層、 1 9 ……容量信号線、 G T ……ゲート電極、 T F T ……薄膜トランジスタ、
C s t g ……容量素子。

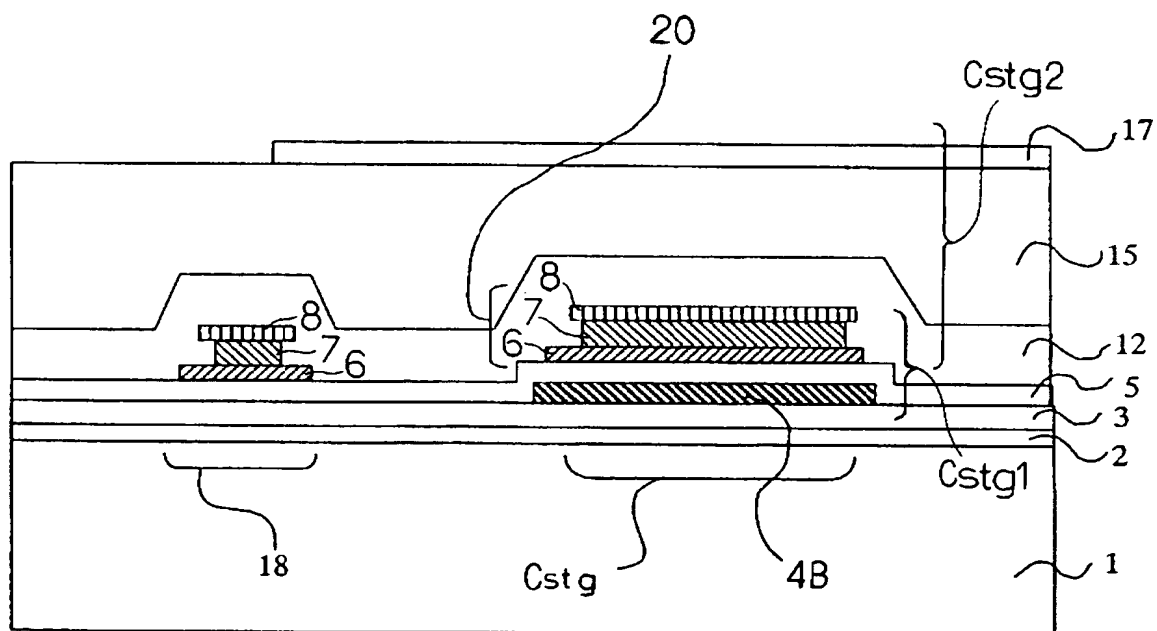
【図 2】

图 2



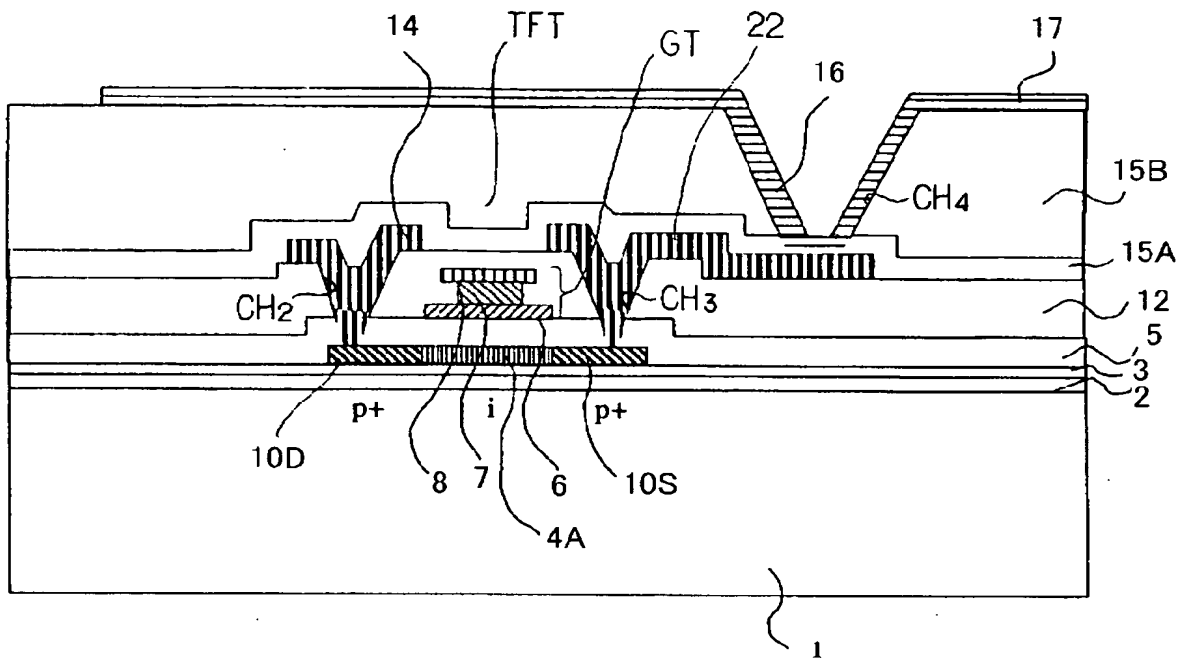
【図 3】

图 3



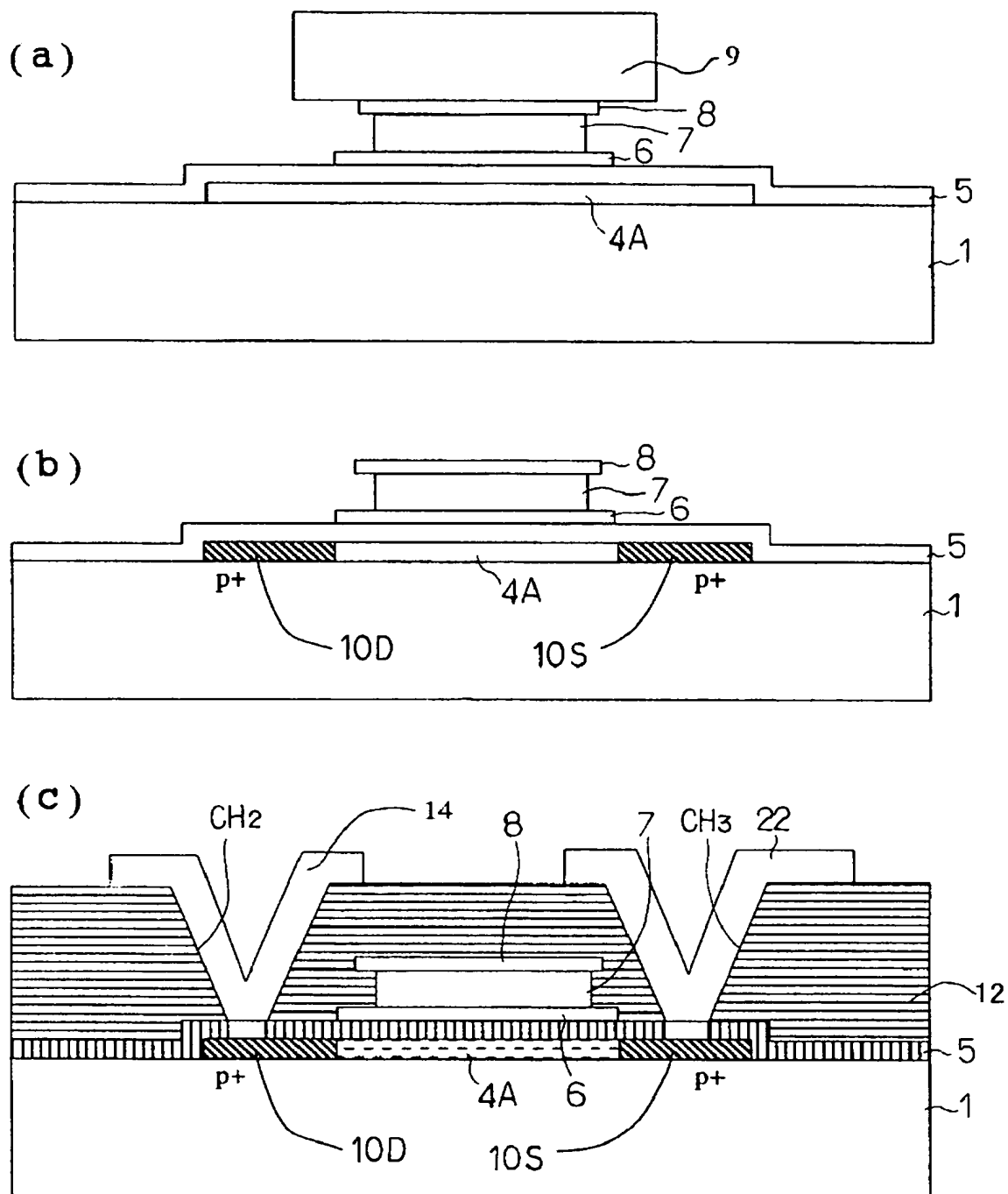
【図 5】

図 5



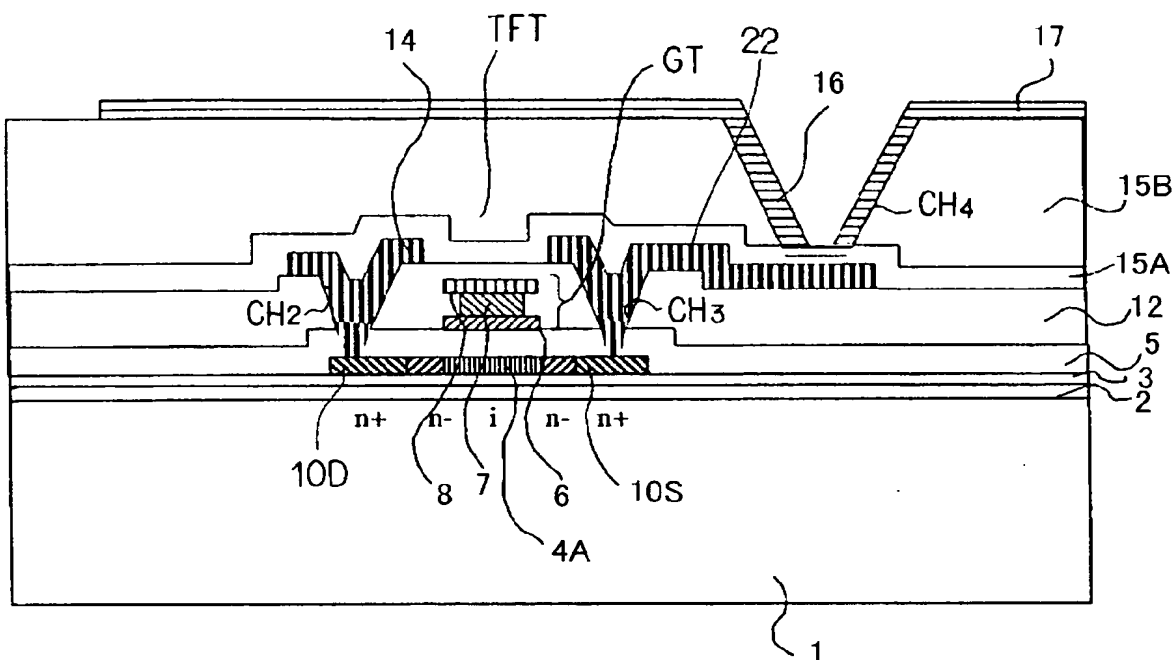
【図 6】

図 6



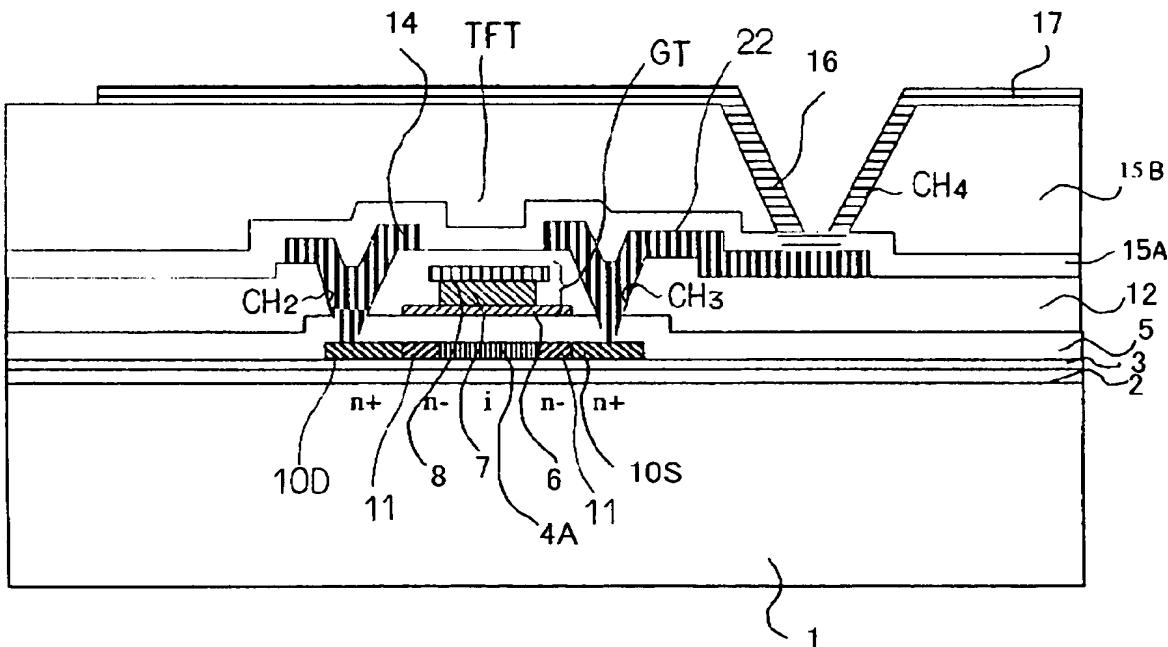
【図 7】

图 7



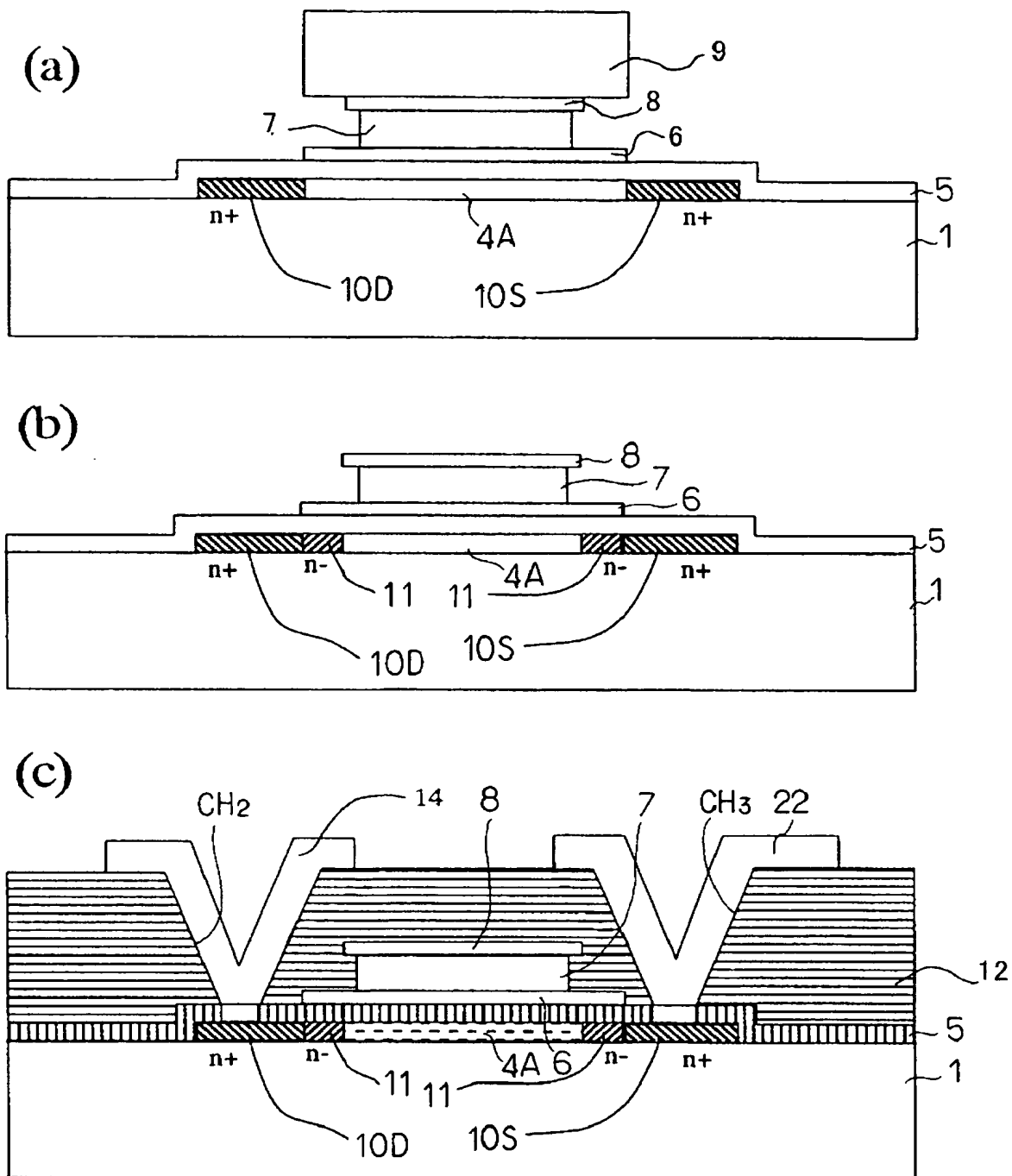
【図 8】

图 8



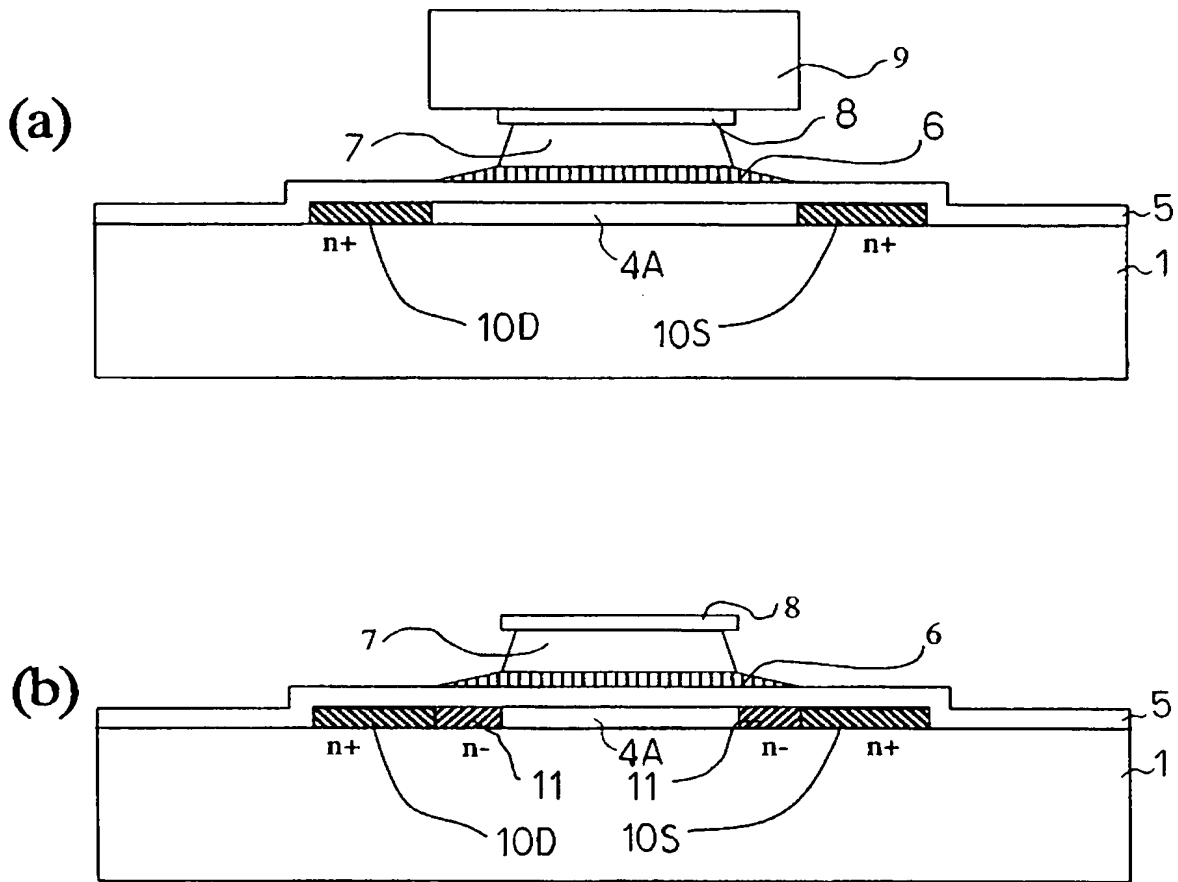
【図 9】

図 9



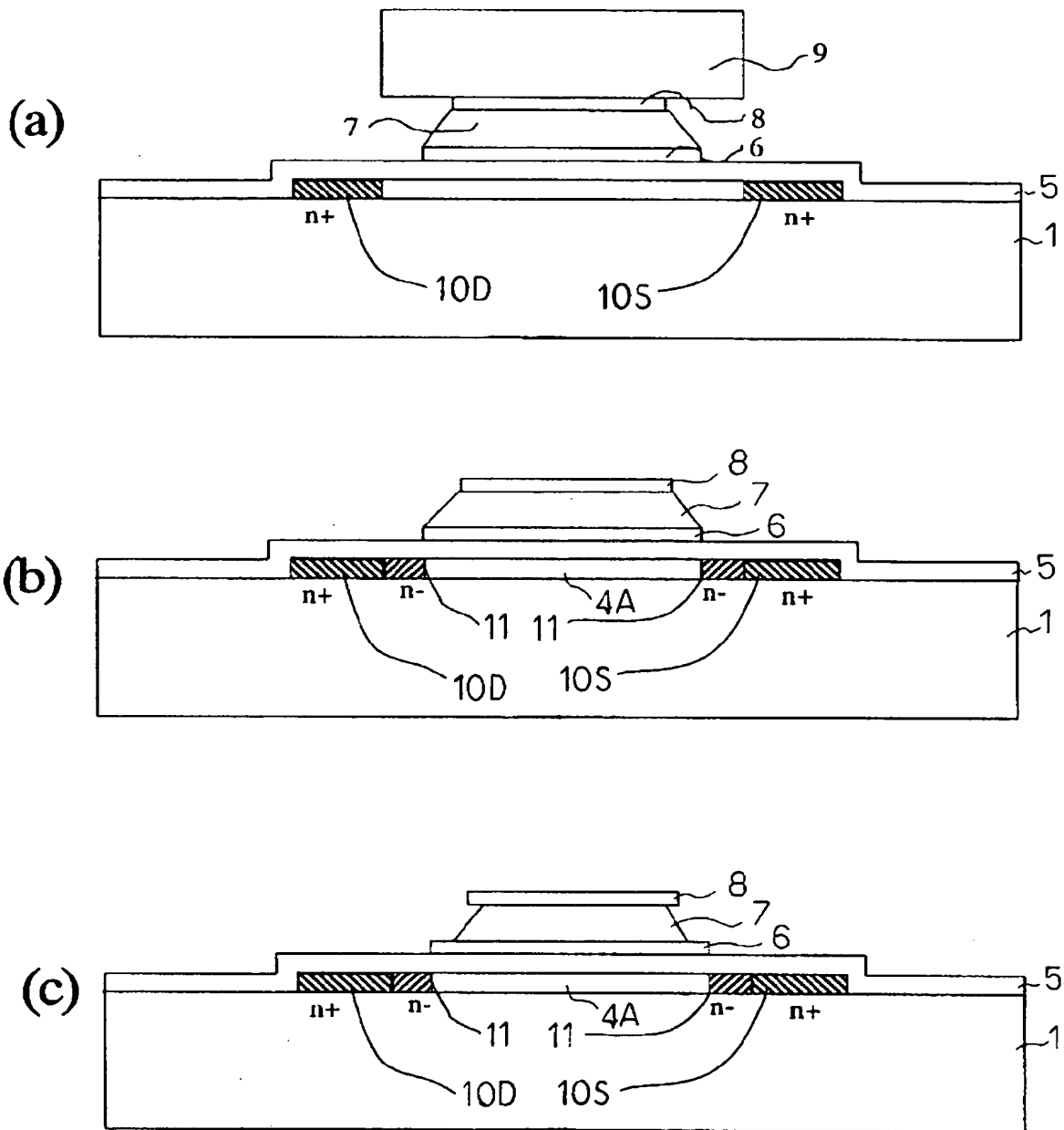
【図 10】

図 10



【図 11】

図 11



【書類名】 要約書

【要約】

【課題】 簡単な構造にも拘わらず、ヒロックの発生を防止するとともに低抵抗化を図ったゲート信号線および薄膜トランジスタのゲート電極を備える表示装置を得る。

【解決手段】 基板上に薄膜トランジスタを有する表示装置であって、

ゲート配線と前記薄膜トランジスタのゲート電極とが一体となったゲートパターンを有し、

前記ゲートパターンは、少なくとも、前記薄膜トランジスタの部分あるいはドレイン配線と交差する部分の何れかにおいて、最下層と、少なくとも 1 層の中間層と、最上層との少なくとも 3 層の膜で構成され、

前記中間層の端部は前記最上層の端部および前記最下層の端部よりも後退している。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 0 7 2 4
受付番号	5 0 3 0 0 2 6 1 5 6 6
書類名	特許願
担当官	第二担当上席 0 0 9 1
作成日	平成 1 5 年 2 月 2 4 日

< 認定情報・付加情報 >

【提出日】	平成15年 2月19日
-------	-------------

次頁無

特願 2 0 0 3 - 0 4 0 7 2 4

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ